
在STM32 MCU和MPU上使用IBIS进行高速SI仿真以及使用HyperLynx[®]SI进行板级仿真

引言

本应用笔记可作为指南，用于说明如何使用意法半导体STM32 32位Arm[®]Cortex[®] MCU和MPU的IBIS（I/O缓冲区信息规范）模型。本文档还介绍了如何使用外部外设通过HyperLynx[®] SI（信号完整性）软件执行板级仿真来解决SI问题。

为了使用具体实例，本应用程序以STM32F7系列器件为例。可以将所有信息和结论外推到所有STM32 32位Arm[®] Cortex[®] MCU和MPU。

STM32F7系列器件基于具有FPU（浮点单元）处理器的Arm[®] Cortex[®] -M7。开发这些器件是为了提供一种满足MCU运用需求的低成本平台。它们减少了引脚数，降低了功耗，同时还具有出色的计算性能和低中断等待时间。

当与诸如SDRAM（同步动态随机存取存储器）之类的高速接口连接时，STM32F7系列器件的频率高达216 MHz，系统速度高达100 MHz。

随着信号速度的增加，会产生SI和EMC（电磁兼容性）问题。这些问题可以通过测试设备检测为信号恶化：过冲、下冲、振铃、串扰或时序延迟。

信号恶化可能是由于认证（CE/FCC）的电路板设计的失败所致，或者是由于IC（集成电路）驱动器与接收器之间的时序违规问题所致。重点应放在第一次就实现正确设计，避免高成本的过度设计，并减少重复布板和原型设计。因此，在进行任何原型设计之前，执行SI仿真都是非常重要的。

目录

| | | |
|----------|-----------------------------------|-----------|
| 1 | 概述 | 4 |
| 2 | SI基本原理和STM32信号 | 5 |
| 2.1 | 信号完整性基本原理 | 5 |
| 2.1.1 | 信号完整性 | 5 |
| 2.1.2 | 传输线 | 5 |
| 2.1.3 | 传输线模型 | 5 |
| 2.1.4 | 特性阻抗 | 7 |
| 2.2 | IBIS模型 | 7 |
| 2.2.1 | IC建模 | 7 |
| 2.2.2 | IBIS文件基本结构 | 8 |
| 3 | STM32 MCU和MPU IBIS模型选择/选择器 | 10 |
| 3.1 | GPIO 结构 | 10 |
| 3.2 | 模型选择器 | 10 |
| 3.3 | STM32F746xx MCU上模型选择器示例 | 10 |
| 4 | HyperLynx仿真器应用示例 | 12 |
| 4.1 | 使用HyperLynx仿真SDRAM | 12 |
| 4.1.1 | SDRAM 信号 | 12 |
| 4.1.2 | SDRAM仿真 | 13 |
| 4.2 | 使用HyperLynx仿真QUADSPI | 18 |
| 4.2.1 | QUADSPI 信号 | 18 |
| 4.2.2 | QUADSPI仿真 | 19 |
| 5 | 参考 | 23 |
| 6 | 术语 | 24 |
| 7 | 版本历史 | 25 |

图片目录

| | | |
|------|----------------------|----|
| 图1. | 高频传输线 | 5 |
| 图2. | 具有IC建模的传输线 | 7 |
| 图3. | IBIS编辑器 | 8 |
| 图4. | IBIS数据 | 9 |
| 图5. | SDRAM原理图 | 12 |
| 图6. | 32F746GDISCOVERY 原理图 | 13 |
| 图7. | 32F746GDISCOVERY PCB | 14 |
| 图8. | 信号选择 | 14 |
| 图9. | 分配IBIS模型 | 15 |
| 图10. | 自由形式原理图 | 15 |
| 图11. | IO速度为0x00的波形 | 16 |
| 图12. | IO速度为0x10的波形 | 17 |
| 图13. | IO速度为0x11的波形 | 17 |
| 图14. | QUADSPI NOR存储器接口原理图 | 18 |
| 图15. | QUADSPI STM32接口原理图 | 18 |
| 图16. | 信号选择 | 19 |
| 图17. | 自由形式原理图QSPI_CLK | 20 |
| 图18. | R44 = 0欧姆时的波形 | 20 |
| 图19. | R44 = 33欧姆时的波形 | 21 |
| 图20. | 端接向导菜单 | 21 |
| 图21. | R44 = 40.6欧姆时的波形 | 22 |

1 概述

本应用笔记提供内容和结论可以外推到所有STM32 32位 Arm^{®(a)} Cortex[®] MCU和MPU。



a. Arm是Arm Limited（或其子公司）在美国和/或其他地区的注册商标。

2 SI基本原理和STM32信号

2.1 信号完整性基本原理

当电路板走线传输信号包含高频成分时，应特别注意驱动端与接收端间走线设计的阻抗匹配。

走线越长，或者所涉及的频率越高，就越需要控制走线阻抗。PCB（印刷电路板）制造商通过改变特定走线或层压板的尺寸和间距来控制阻抗。PCB上一旦装载任何组件，任何阻抗失配都将非常难以分析。

2.1.1 信号完整性

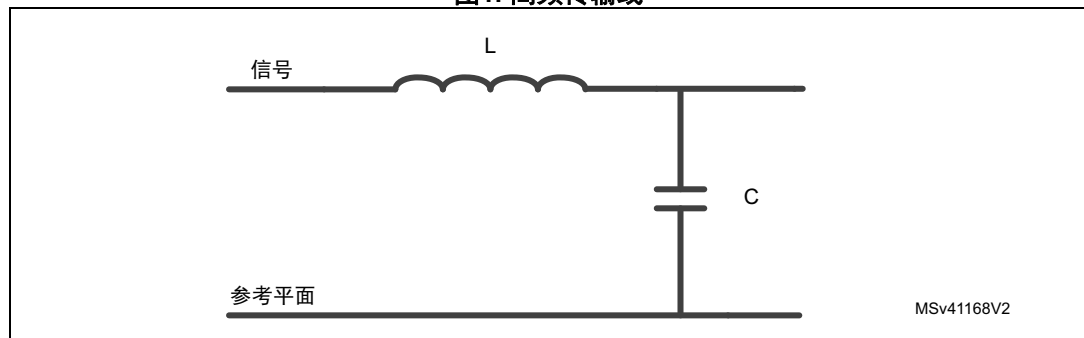
“信号完整性”是指理解和控制理想数字信号的行为的过程。由于时钟速度已提高到了数百兆赫兹，对于任何新的数字PCB设计而言，它都是至关重要的元素。在高速下，可能会出现一些问题，如信号和时钟失真、上升和下降时沿失真、建立时间违规和传播延时。

2.1.2 传输线

传输线可以定义为驱动器和接收器之间的导电连接。在低频下，可以将线或PCB走线视为理想的电路（电阻性），但在高频下，AC（交流）电路的特性主要由电感和电容决定。

2.1.3 传输线模型

图1. 高频传输线



传输线上信号的传播速度取决于周围介质。传播延迟是传播速度的倒数。

公式1:

$$V = \frac{c}{\sqrt{\epsilon_r}}$$

公式2:

$$TD = \frac{\sqrt{\epsilon_r}}{c}$$

其中:

- v: 传播速度, 以米/秒为单位
- c: 真空中的光速 (3×10^8 m/s)
- ϵ_r : 介电常数
- TD: 信号沿长度为x的传输线传播的时间延迟

还可以根据传输线的等效电路模型确定传播延迟:

公式3:

$$TD = \sqrt{LC}$$

其中:

- TD: 信号沿长度为x的传输线传播的时间延迟
- L: 线路长度的总串联电感
- C: 线路长度的总并联电容。

在空气中的**传播延迟**约为3.5 ps/mm, 其中介电常数为1.0。

在FR-4 PCB中, 传播延迟约为7-7.5 ps/mm, 介电常数为3.9-4.5。

当线路延迟等于或大于上升(或下降)时间的1/6时, PCB走线可用作传输线。

临界长度等于**过渡电长度**的1/6, 过渡电长度等于上升(或下降)时间 \times 1/(传播延迟)。

示例: 对于2纳秒的上升时间, 临界长度为47.6mm。

2.1.4 特性阻抗

传输线的特性阻抗 (Z_0) 由以下各项限定:

公式4:

$$Z_0 = \sqrt{\frac{L}{C}}$$

其中:

- L: 每单位长度的亨利值
- C: 每单位长度的法拉值。

在非常高的频率下或在损耗非常高的线路上, 阻抗损耗变得很明显。

2.2 IBIS模型

IBIS是一种行为模型, 通过V/I (电压对电流) 和V/T (电压对时间) 数据描述设备的数字输入和输出的电气特性, 不会公开任何专有信息。

IBIS模型用于系统板上的信号完整性分析。这些模型使系统设计人员可以进行仿真, 从而预测连接不同器件的传输线中基本信号完整性问题。

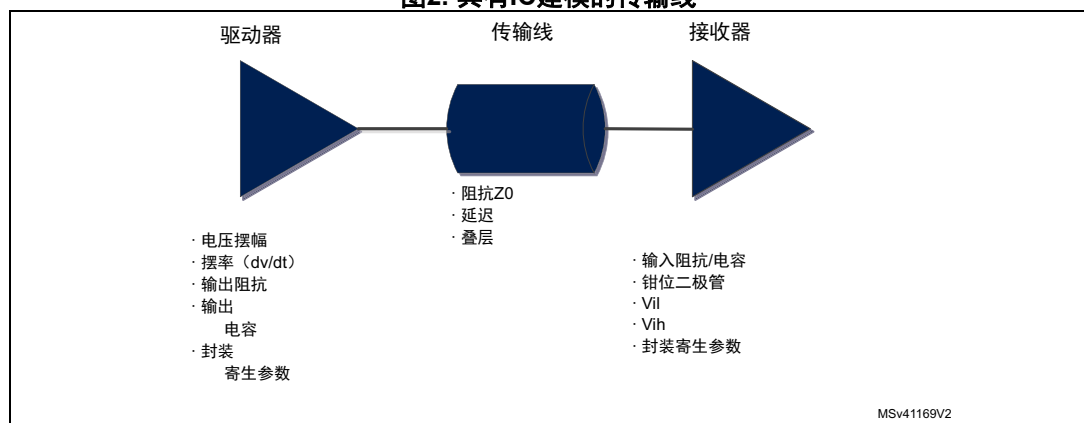
其中, 可以通过仿真分析的潜在问题包括:

- 到达接收器的波因线路中阻抗不匹配而反射回到驱动器的能量的程度
- 串扰
- 接地和电源反弹
- 过冲或下冲
- 线路端接分析

2.2.1 IC建模

以下图 2 显示了两个IC建模的示例:

图2. 具有IC建模的传输线



2.2.2 IBIS文件基本结构

- 标头
 - 文件名、日期、版本、来源、注释、版权等。
- 元件模型数据
 - 默认封装数据 (L_pkg、R_pkg、C_pkg)
 - 完整引脚列表 (引脚名称、信号名称、缓冲器名称以及可选的L_pin、R_pin、C_pin)
 - 差分引脚对、片上端接、缓冲选择器等
- IO模型数据
 - 必须在文件中定义元件的所有缓冲器模型
 - 每种类型的可编程缓冲器都是单独的模型

如以下图 3和图 4中所示，HyperLynx可视IBIS编辑器用于打开STM32F746和SDRAM (MT48LC4M32B2B5-6A) 并查看其特性，如上升和下降波形。

图3. IBIS编辑器

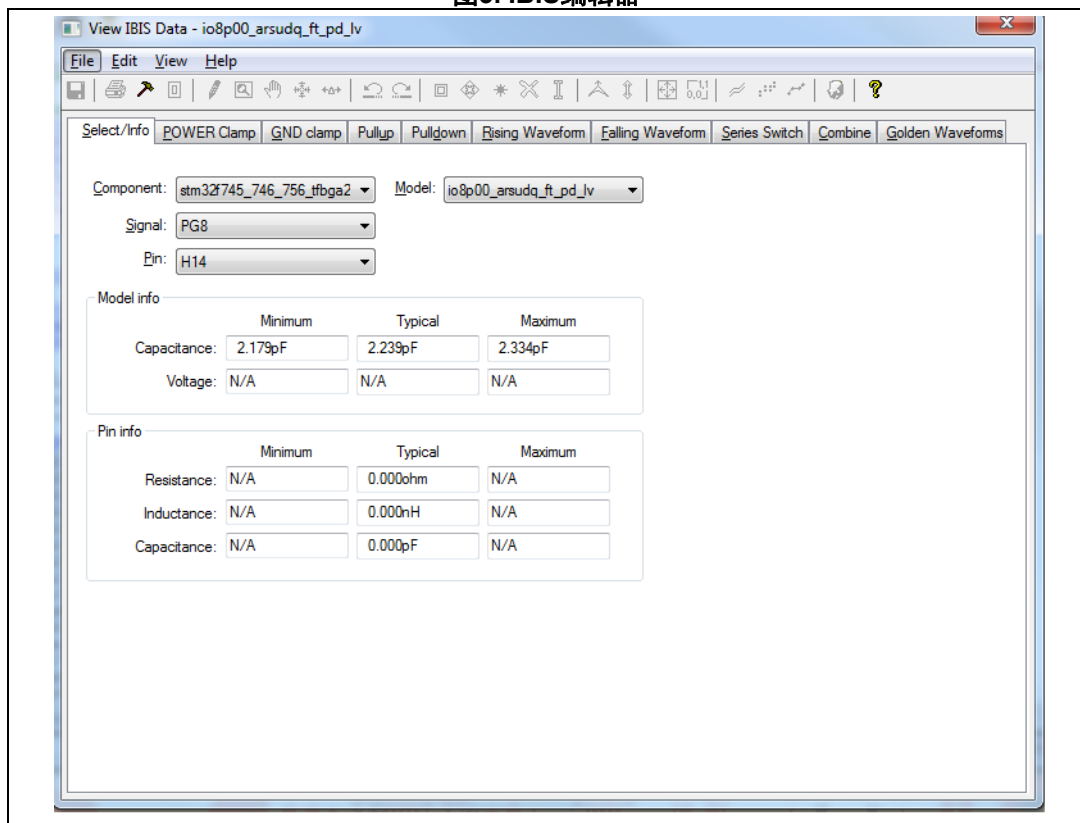
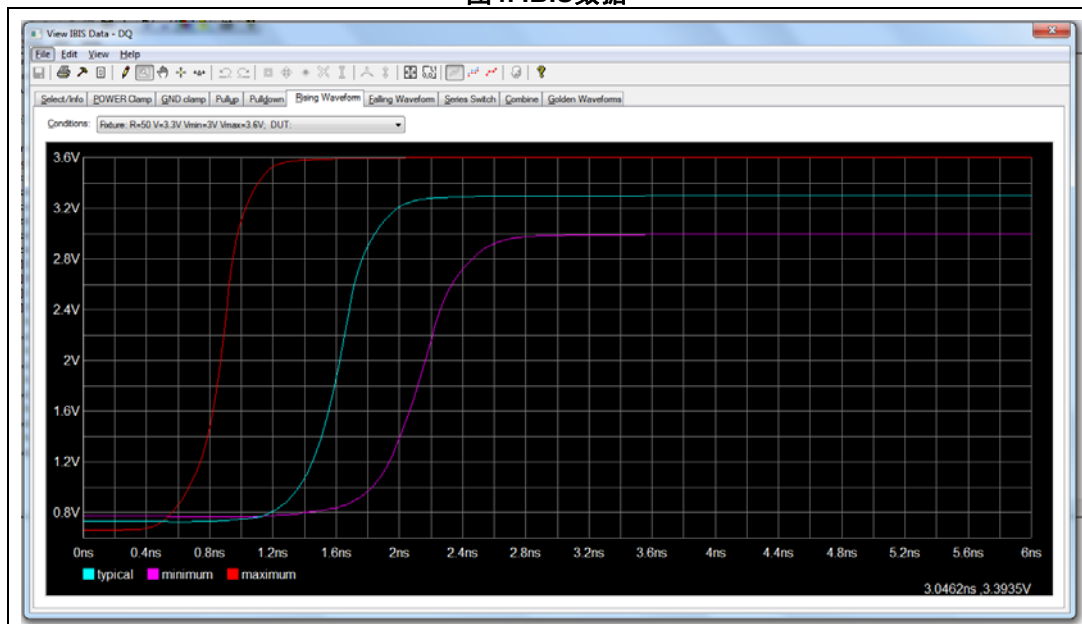


图4. IBIS数据



3 STM32 MCU和MPU IBIS模型选择/选择器

本节介绍了STM32 MCU和MPU中可用的GPIO（通用输入/输出）引脚的IBIS模型选择器。

3.1 GPIO 结构

GPIO包括以下特征：

- 输出驱动器。
- 输入缓冲器
- 上拉和下拉
- 静电放电（ESD）保护
- 输入迟滞
- 电平转换器
- 控制逻辑。

3.2 模型选择器

GPIO引脚可根据应用需要选择以下参数：

- 两个工作电压范围：
 - V33（3.3V）：参照外置电压VDDx范围2.7 V至3.6 V
 - V18（1.8V或Iv）：参照外置电压VDDx范围1.7V（参见以下注释）至2.7 V
- 根据所需频率控制四个或更少的输出缓冲器速度：
 - 00（低速）
 - 01（中速）
 - 10（快速）
 - 11（高速）
- 可控内部上拉和下拉电阻器（启用/禁用）：PD/PU
- 特定IO引脚用于实现特殊功能：USB和I2C。同一IO也可用作GPIO引脚。

*注：*有关更多详细信息，请参阅特定STM32元件数据手册的“IO端口特性”部分，以及对应的STM32参考手册的“通用I/O（GPIO）”部分，以进行软件配置和选择。

3.3 STM32F746xx MCU模型选择器示例

下面的示例保持与第2.2.2节中相同的IO/Pin选择。引脚是H14端口PG8。该引脚属于IO缓冲器的“io8p_arsudq_ft”系列。

在以下表1中，根据表的脚注图例，使用不同颜色突出显示引脚H14和选定的GPIO配置。

表1. “io8p_arsudq_ft”选择器 的I/O输入/输出缓冲器

| IO模型名称选择 (io8p_ar3wsudq_ft) | IO参数 | | |
|---|--------------------------------|-------------------|-----------------------|
| | 电压范围 | 缓冲器速度 | 上拉/ 下拉 |
| io8p00 ⁽¹⁾ _ar3wsudq_ft_pd ⁽²⁾ _lv ⁽³⁾ "SPEED00 1P8V, PD=40kOhm" | 1.7 V到 2.7 V ⁽³⁾ | 低速 ⁽¹⁾ | 下拉40 K ⁽²⁾ |
| io8p00_ar3wsudq_ft_pu_lv "SPEED00 1P8V, PU=40kOhm" | | | 上拉40K |
| io8p00_ar3wsudq_ft_lv "SPEED00 1P8V" | | | 禁用 |
| io8p01_ar3wsudq_ft_pd_lv "SPEED01 1P8V, PD=40kOhm" | 1.7 V至 2.7 V | 中速 | 下拉40K |
| io8p01_ar3wsudq_ft_pu_lv "SPEED01 1P8V, PU=40kOhm" | | | 上拉40K |
| io8p01_ar3wsudq_ft_lv "SPEED01 1P8V" | | | 禁用 |
| io8p10_ar3wsudq_ft_pd_lv "SPEED10 1P8V, PD=40kOhm" | 1.7 V至 2.7 V | 快速 | 下拉40K |
| io8p10_ar3wsudq_ft_pu_lv "SPEED10 1P8V, PU=40kOhm" | | | 上拉40K |
| io8p10_ar3wsudq_ft_lv "SPEED10 1P8V" | | | 禁用 |
| io8p11_ar3wsudq_ft_pd_lv "SPEED11 1P8V, PD=40kOhm" | 1.7 V至 2.7 V | 高速 | 下拉40K |
| io8p11_ar3wsudq_ft_pu_lv "SPEED11 1P8V, PU=40kOhm" | | | 上拉40K |
| io8p11_ar3wsudq_ft_lv "SPEED11 1P8V" | | | 禁用 |
| io8p00_ar3wsudq_ft_pd "SPEED00, PD=40kOhm" | 2.7 V至 3.6 V | 低速 | 下拉40K |
| io8p00_ar3wsudq_ft_pu "SPEED00, PU=40kOhm" | | | 上拉40K |
| io8p00_ar3wsudq_ft "SPEED00" | | | 禁用 |
| io8p01_ar3wsudq_ft_pd "SPEED01, PD=40kOhm" | 2.7 V至 3.6 V | 中速 | 下拉40K |
| io8p01_ar3wsudq_ft_pu "SPEED01, PU=40kOhm" | | | 上拉40K |
| io8p01_ar3wsudq_ft "SPEED01" | | | 禁用 |
| io8p10_ar3wsudq_ft_pd "SPEED10, PD=40kOhm" | 2.7 V至 3.6 V | 快速 | 下拉40K |
| io8p10_ar3wsudq_ft_pu "SPEED10, PU=40kOhm" | | | 上拉40K |
| io8p10_ar3wsudq_ft "SPEED10" | | | 禁用 |
| io8p11_ar3wsudq_ft_pd "SPEED11, PD=40kOhm" | 2.7 V至 3.6 V | 高速 | 下拉40K |
| io8p11_ar3wsudq_ft_pu "SPEED11, PU=40kOhm" | | | 上拉40K |
| io8p11_ar3wsudq_ft "SPEED11" | | | 禁用 |

1. 在该IBIS模型名称的选择中，“io8pXX_ar3wsudq_ft_pu_lv”上的片段“XX”定义了速度。00 =低速，01 =中速，10 =快速，11 =高速。请参阅该表中的“缓冲器速度”一列。
2. 在该IBIS模型名称的选择中，“io8p00_ar3wsudq_ft_YY_lv”上的片段“YY”定义了上拉或下拉。各数值如下，“pu”=上拉，“pd”=下拉，[empty]=禁用。
3. 在该IBIS模型名称的选择中，“io8p00_ar3wsudq_ft_pd_ZZ”上的片段“ZZ”定义了电压范围。各数值如下，“lv”=1.7-2.7 V，[empty]=2.7-3.6V。

4 HyperLynx仿真器应用示例

4.1 使用HyperLynx仿真SDRAM

该设计示例展示如何在具有STM32F746（32F746GDISCOVERY）的MCU探索板上使用HyperLynx进行仿真。SDRAM数据总线是PCB板上要分析的关键信号。

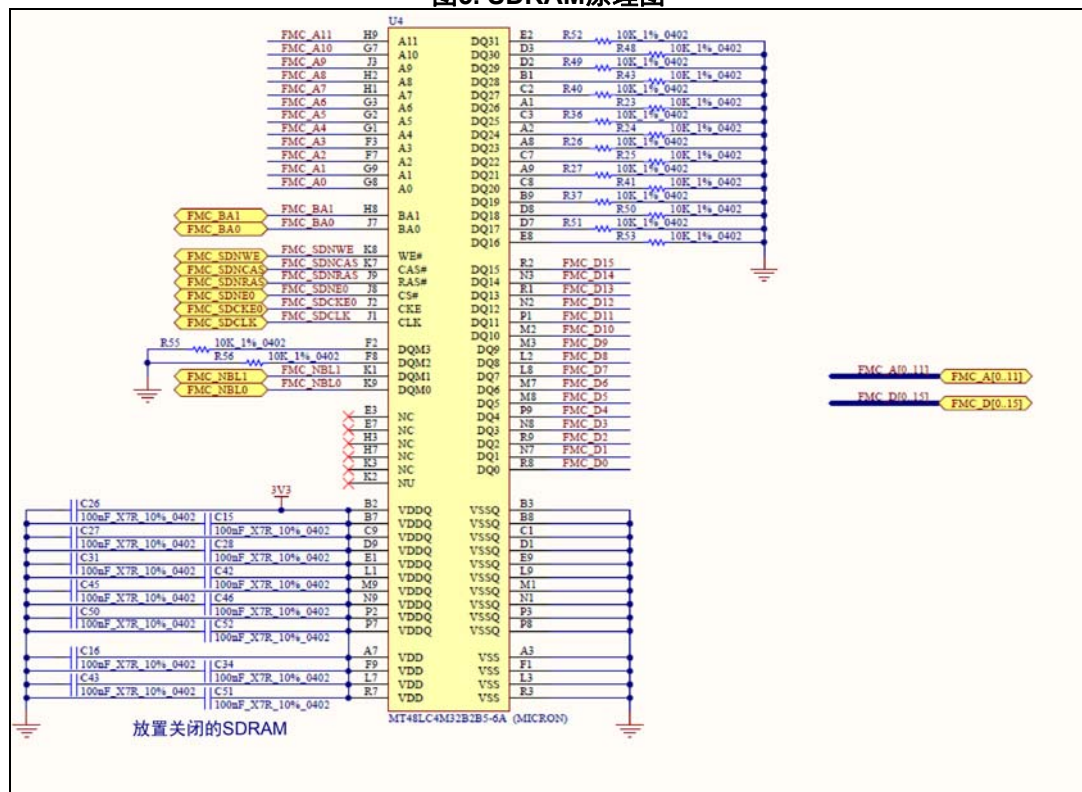
4.1.1 SDRAM 信号

FMC控制器,特别是SDRAM存储控制器,具有很多信号,它们大部分具有相似的功能并且在一起工作。控制器的I/O信号可以被分为如下所示的四组:

- 地址组: 由行和列地址以及bank地址组成
- 命令组: 包括行地址选通 (NRAS)、列地址选通 (NCAS)、写入使能 (SDWE)
- 控制组: 包括片选bank1和bank2 (SDNE0/1)、时钟使能bank1和bank2 (SDCKE0/1) 和写访问的输出字节屏蔽 (DQM)
- 数据组/通道包含x8/x16/x32信号和数据掩码 (DQM)

在该探索板中的存储器是来自Micron的SDRAM,使用了x16总线宽度,具有两个数据组通道(部件号: MT48LC4M32B2B5-6A), 如以下图 5 中所示:

图5. SDRAM原理图



4.1.2 SDRAM仿真

以下列出了设计和仿真步骤：

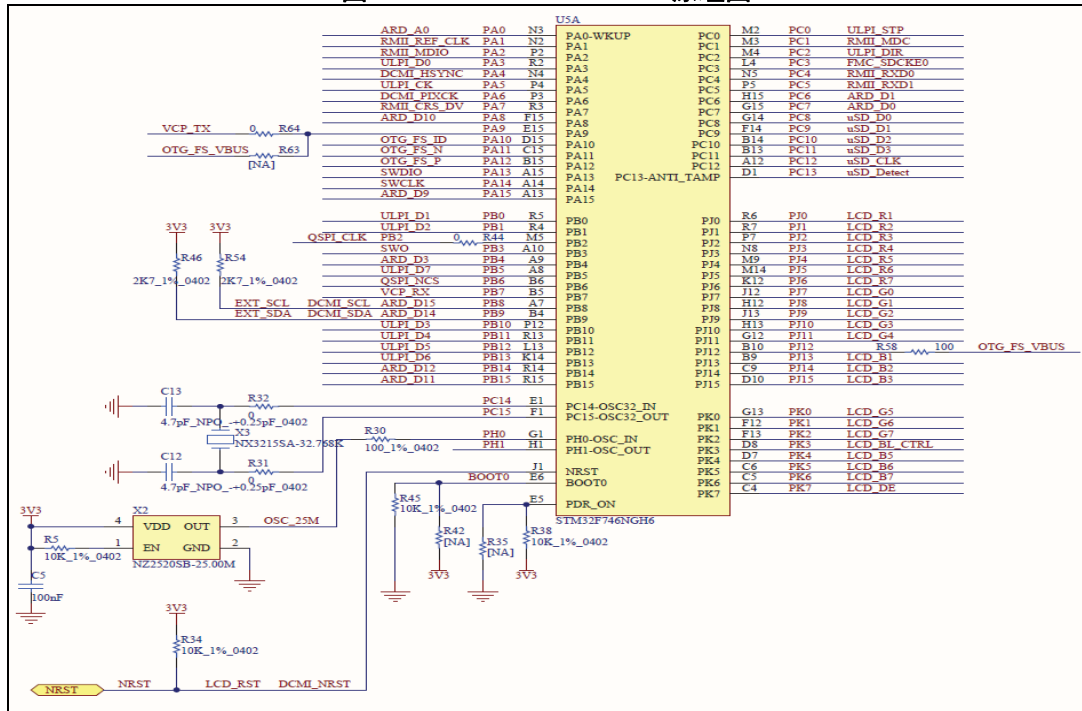
- **步骤1：原理图设计**

图 5 中所示的原理图是SDRAM与STM32F746（FMC_xx）之间的连接信号。

- **步骤2：PCB设计**

使用Gerber查看器Gerbv 2.6.1查看PCB设计。图 6显示了CPU板的PCB设计，其中STM32F746和SDRAM芯片彼此靠近放置，SDRAM在左侧。

图6. 32F746GDISCOVERY 原理图



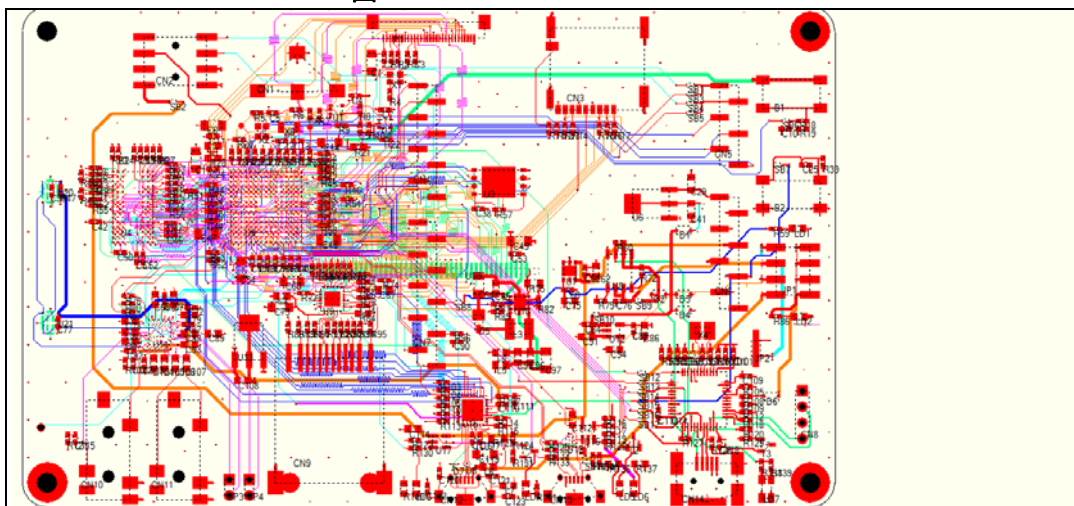
- **步骤3:** 将PCB板文件转换为仿真文件

使用Mentor Graphics® 的HyperLynx仿真工具进行PCB板仿真。运行HyperLynx并打开**MB1191B-V14.paf**文件，然后将其转换为**MB1191B-V14**文件以进行仿真，如**图 7**中所示。

注: 探索板布局使用Zuken CADStar进行设计，因此要使用HyperLynx进行仿真，请使用具有相同文件名的PAF文件。

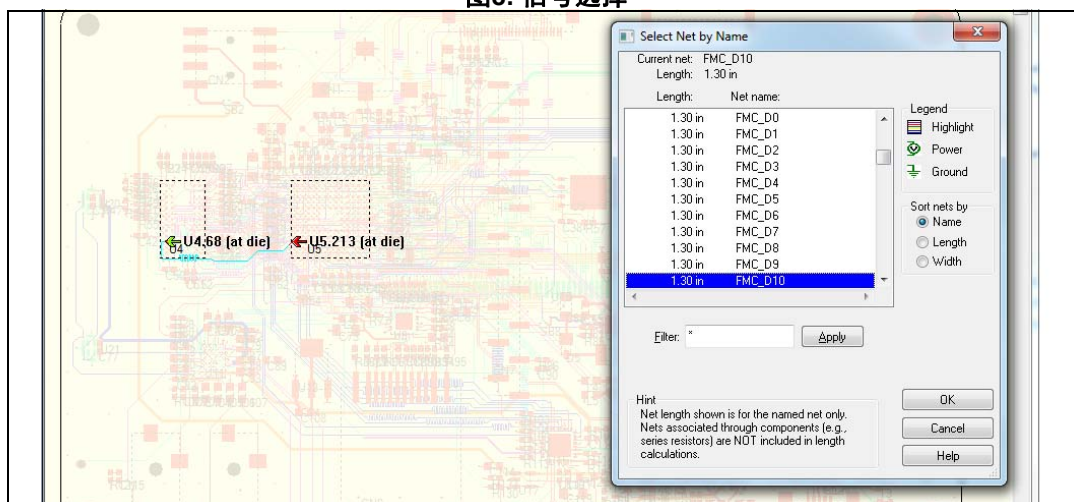
- **步骤4:** 选择要仿真的信号。
 - **步骤4.1:** 打开MB1191B-V14.hpy文件。

图7. 32F746GDISCOVERY PCB



- **步骤4.2:** 选择要仿真的信号（例如SDRAM FMC_D10）。转到上方菜单中的“Select（选择）”，然后选择“Net by Name for SI Analysis（按名称选择网络进行SI分析）”（请参阅**图 8**）。

图8. 信号选择

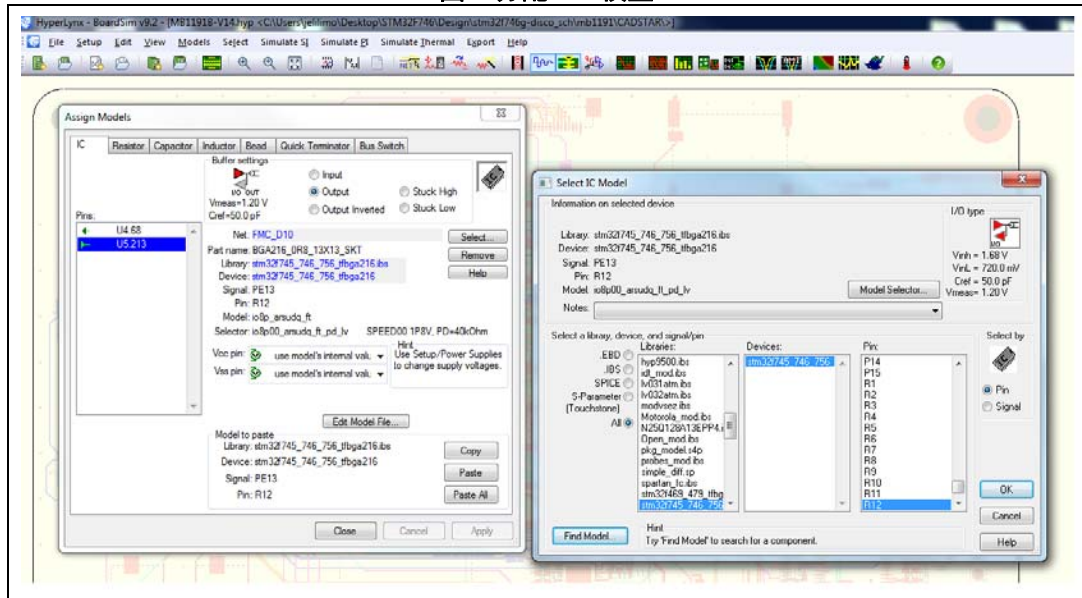


- **步骤5:** 为STM32F746和MT48LC4M32B2B5分配IBIS模型。

IBIS模型通常可以在制造商的网站上找到。可以从意法半导体网站 www.st.com 下载与STM32F746相关的IBIS模型文件，并可以从Micron网站下载MT48LC4M32B2B5的IBIS模型文件。

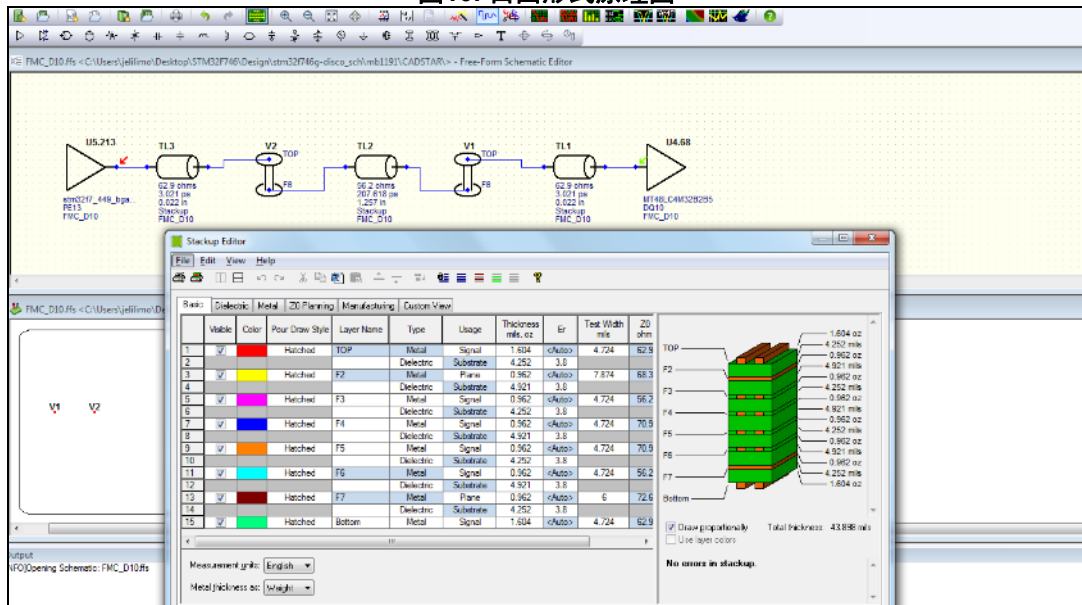
下载每个IC的模型后，将其添加到HyperLynx lib路径。为对应IC的每个信号分配IBIS模型 **图 9:**

图9. 分配IBIS模型



- **步骤6:** 将选定的信号导出到自由形式原理图并配置叠层信息。

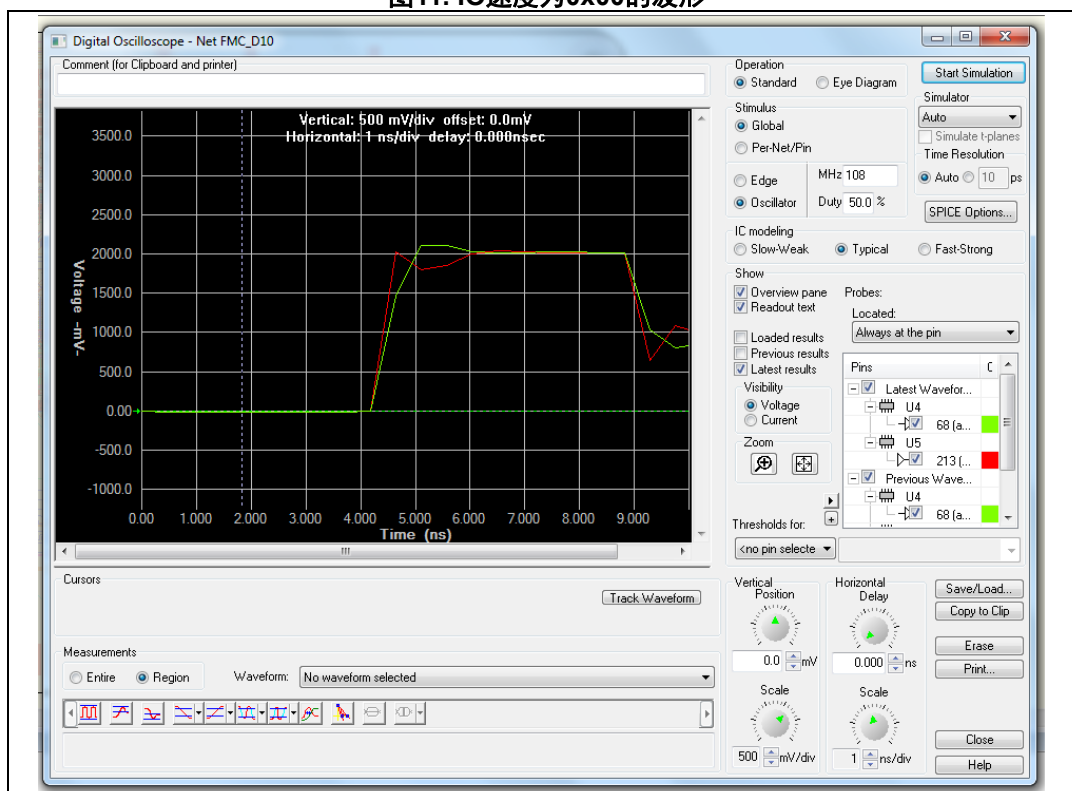
图10. 自由形式原理图



- **步骤7：**配置并开始仿真。

将频率设置为108 MHz，将占空比设置为50%（请参阅图 11）。

图11. IO速度为0x00的波形



- **步骤8：**更改STM32F746的IO速度选择红色的是STM32F7发出的FMC_SDRAM波形，而绿色的为SDRAM输入处波形），对结果进行比较和分析

在前述步骤中，将IO速度设置为0x00。STM32F746发出的红色数据信号已经失真：由于IO速度限制，方形摆幅和直斜率减小。该设置的最大IO频率为8 MHz，上升时间为100 ns。这可以解释为当IO缓冲器模型配置为低速0x00时，负载条件为 C_{ref} 和 R_{ref} 下的输出信号转换。

为了改善STM32F476输出的波形形状，必须更改IO速度为0x10（IO最大频率100MHz）和0x11（IO最大频率180MHz）以处理更多信号频率内容（请参见以下图 12）：

图12. IO速度为0x10的波形

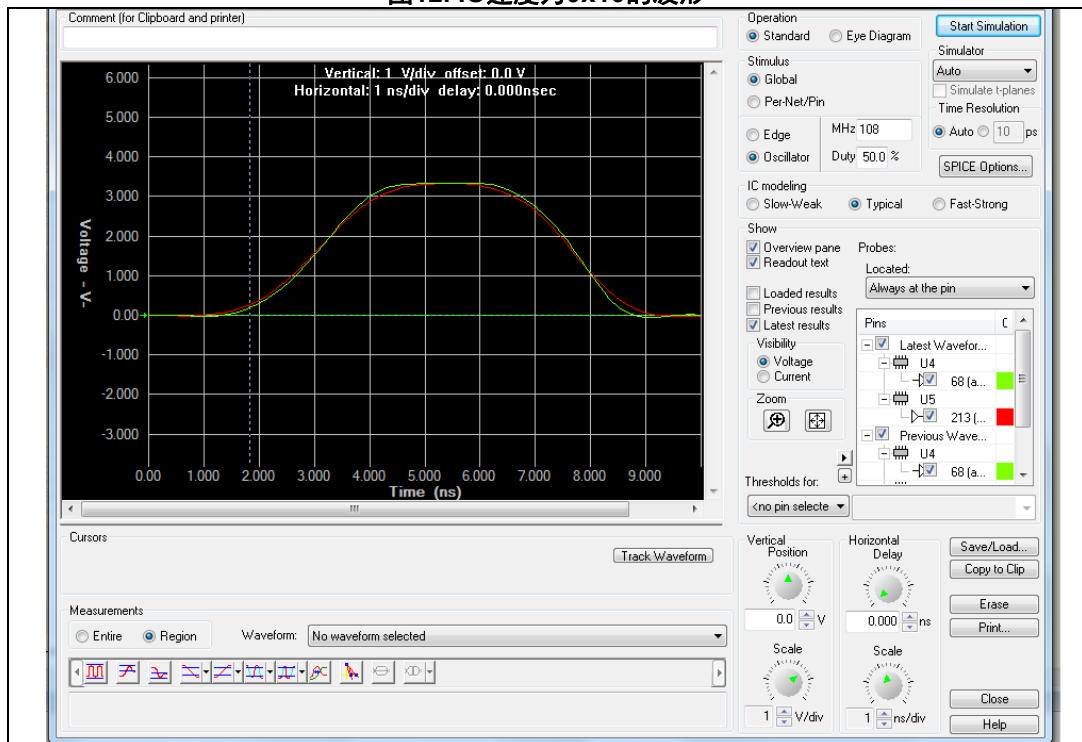
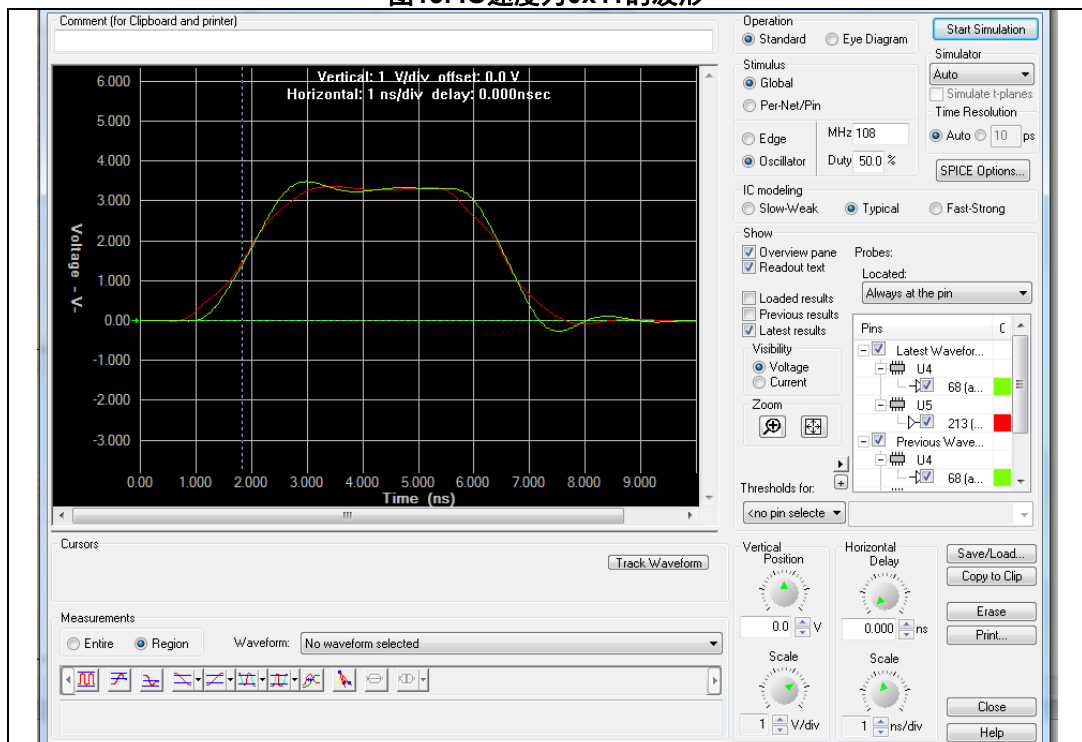


图13. IO速度为0x11的波形



要获得良好且无失真的SI，必须使用正确的IO速度配置来匹配目标信号的频率内容。

4.2.2 QUADSPI仿真

以下列出了QUADSPI接口时钟信号的设计和仿真步骤：

- **步骤1：原理图设计**

图 14和图 15中显示的示意图是串行NOR闪存和STM32F746（QSPI_xx）之间的连接信号。

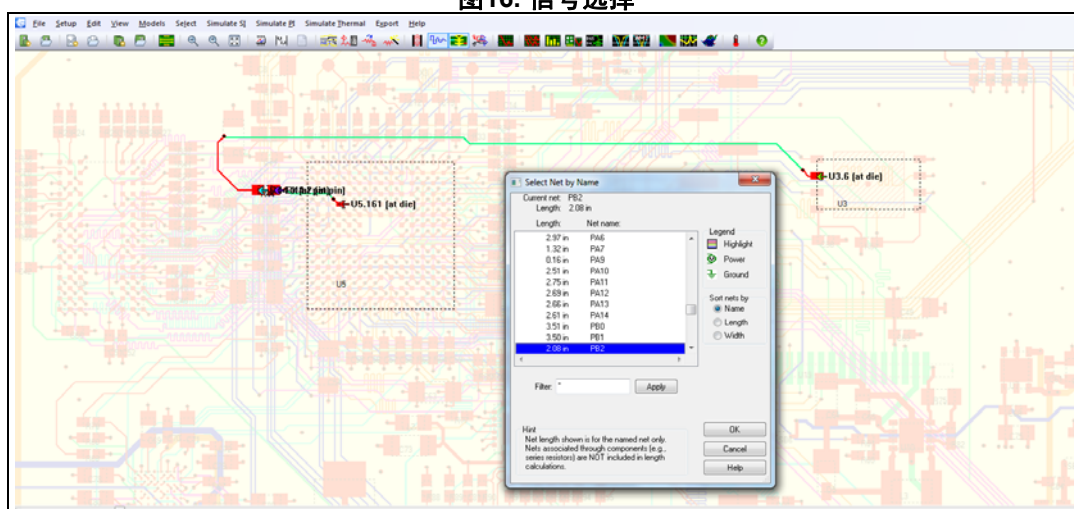
- **步骤2：打开PCB板文件以仿真QUADSPI**

运行HyperLynx并打开**MB1191B-V14.hpy**文件进行仿真。

- **步骤3：选择要仿真的信号**

选择要仿真的时钟信号（例如QSPI_CLK/PB2）。转到上方菜单中的“Select（选择）”，然后选择“Net by Name for SI Analysis（按名称选择网络进行SI分析）”（请参阅图 16）。

图16. 信号选择



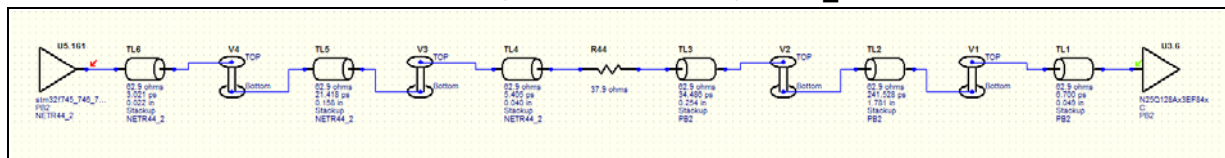
- **步骤4：为STM32F746和N25Q128A13EF840E分配IBIS模型**

IBIS模型通常可以在制造商的网站上找到。可以从意法半导体网站www.st.com下载与STM32F746相关的IBIS模型文件，并且可以从Micron网站下载N25Q128A13EF840E的相关文件。

下载每个IC的模型后，将其添加到HyperLynx lib路径。为对应IC的每个信号分配IBIS模型图 16。

- **步骤5：将选定的信号导出到自由形式原理图并配置叠层信息。**

图17. 自由形式原理图QSPI_CLK

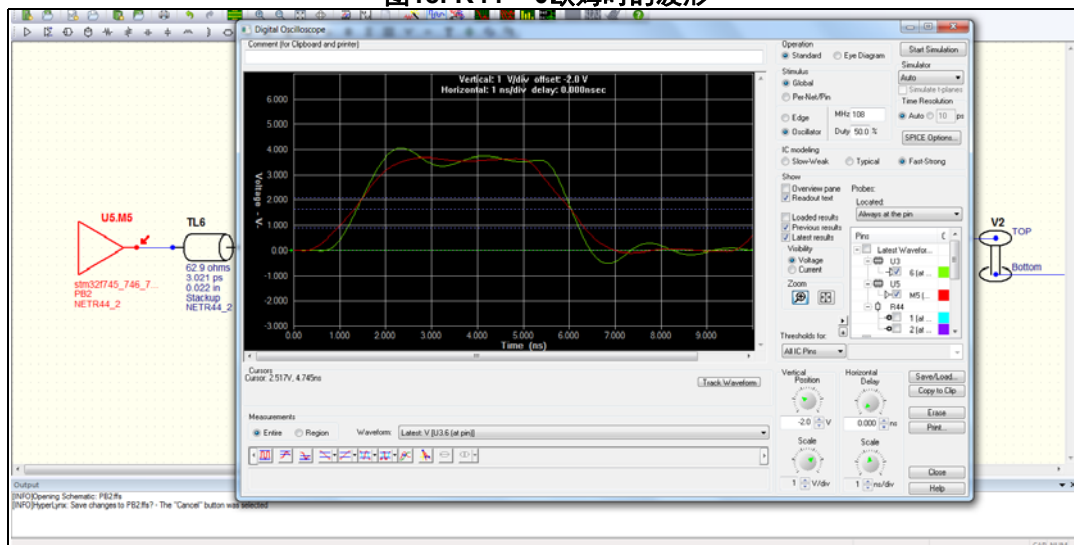


1. 该图旨在说明总体过程。关于更多信息，请参考工具本身。

步骤6: 配置并开始仿真。

将频率设置为108 MHz，将占空比设置为50%（请参阅图 18）。

图18. R44 = 0欧姆时的波形

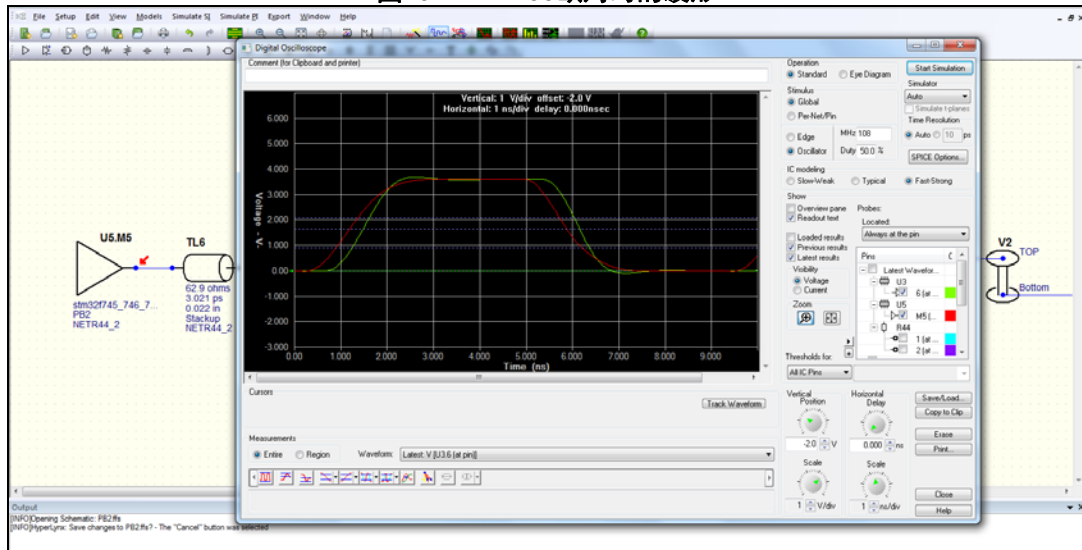


步骤7: 更改串联电阻R44，对结果进行比较和分析

在前述步骤中，源端串联端接电阻为0 Ohm，绿色波形（在QSPI存储器的输入端）由于特性阻抗不匹配而显示出过冲和下冲。这种类型的端接要求缓冲器阻抗和电阻值之和等于线路的特性阻抗。

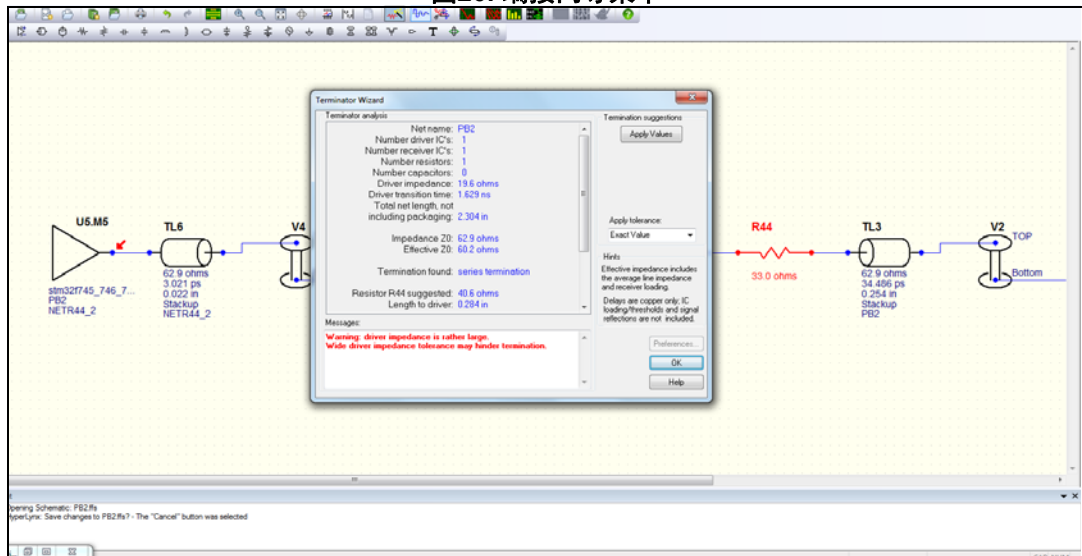
双击R44并将其值更改为33 Ohm，请参阅以下图 19。

图19. R44 = 33欧姆时的波形



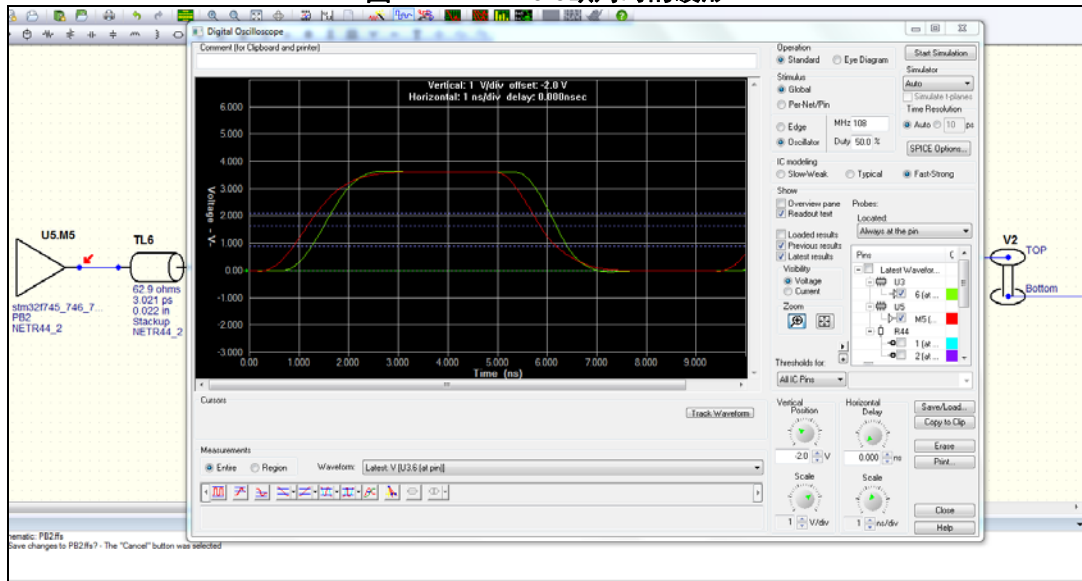
可以观察到STM32的时钟输出形状得到改善。另外，可以运行端接器向导来分析选定的网络并提供R44的最佳端接值建议。

图20. 端接向导菜单



当选中“Apply Values”时，串联电阻R44取图中的值，为40.6欧姆。参见以下图 21中的仿真波形图：

图21. R44 = 40.6欧姆时的波形



端接器向导分析所选网络，提供走线统计列表，并为R的最佳值提出建议。它考虑了接收器IC的电容负载、总线长和驱动器阻抗。

5 参考

- *HyperLynx® LineSim用户指南软件9.1版*, Mentor Graphics, 2014年3月
- *HyperLynx® BoardSim用户指南软件9.2版*, Mentor Graphics, 2014年12月
- *高速数字系统设计*, Hall, Stephen, Hall Garrett, and McCall, James, John Wiley and Sons, Inc, 2000年

6 术语

SI: 信号完整性，表示信号的正确时序和质量。

EMC: 电磁兼容性，是指电气设备在其电磁环境中能够令人满意地工作且不会对周围设备产生不利影响或不受周围设备影响的能力。

IBIS: 输入/输出缓冲器信息规范是行为建模规范。它是使用纯ASCII文本格式数据描述数字设备缓冲器的模拟行为的标准。

IO: 输入和输出字。

FR4: 阻燃4的缩写，是一种用于制造印刷电路板（PCB）的材料。它表示板本身没有覆铜。

SDRAM: 同步动态随机存取存储器。

QUADSPI: 是一种专用的通信接口，连接单、双或四（条数据线）SPI FLASH存储介质。

7 版本历史

表2. 文档版本历史

| 日期 | 版本 | 变更 |
|-----------|----|----------------------|
| 2016年4月1日 | 1 | 初始版本。 |
| 2019年9月3日 | 2 | 更新了所有文档，以在其范围内包括MPU。 |

表3. 中文文档版本历史

| 日期 | 版本 | 变更 |
|-------------|----|---------|
| 2020年12月10日 | 1 | 中文初始版本。 |

重要通知 - 请仔细阅读

意法半导体公司及其子公司 (“ST”) 保留随时对 ST 产品和 / 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于 ST 产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对 ST 产品的选择和使用，ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的 ST 产品如有不同于此处提供的信息的规定，将导致 ST 针对该产品授予的任何保证失效。

ST 和 ST 徽标是 ST 的商标。若需 ST 商标的更多信息，请参考 www.st.com/trademarks。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2020 STMicroelectronics - 保留所有权利